

PAT-NO: JP406097225A
DOCUMENT-IDENTIFIER: JP 06097225 A
TITLE: SEMICONDUCTOR DEVICE
PUBN-DATE: April 8, 1994

INVENTOR-INFORMATION:

NAME
YAMAJI, YASUHIRO

ASSIGNEE-INFORMATION:

| | |
|--------------|---------|
| NAME | COUNTRY |
| TOSHIBA CORP | N/A |

APPL-NO: JP04243742

APPL-DATE: September 11, 1992

INT-CL (IPC): H01L021/60

US-CL-CURRENT: 257/690

ABSTRACT:

PURPOSE: To enable terminal electrodes to be arranged using multiple surfaces of a chip for making the easy packaging of the title semiconductor device as well as the multiplication of the terminals feasible by a method wherein the terminal electrodes are to be led out on the surfaces of the chip through the intermediary of the wiring layers provided inside an insulating film.

CONSTITUTION: Outer electrode pads 6<SB>1</SB>-6<SB>n</SB> formed on the outside surface of a film 3 are connected to one ends of in-film 3 wirings 5<SB>1</SB>-5<SB>n</SB> whose the other ends are connected to connecting

electrode pads 7<SB>1</SB>-7<SB>n</SB> which are electrically connected to chip

electrode pads 2<SB>1</SB>-2<SB>n</SB>. Thus, the other electrode pads

6<SB>1</SB>-6<SB>n</SB> can be electrically connected to the chip electrode

pads 2<SB>1</SB>-2<SB>n</SB> through the intermediary of the in-film 3 wirings

5<SB>1</SB>-5<SB>n</SB>. Accordingly, the outer electrode pads 6<SB>1</SB>-6<SB>n</SB> can be arranged using the multiple surfaces of the chip

1 while making the the pitch of the outer electrode pads

6<SB>1</SB>-6<SB>n</SB> larger than that of the chip electrode pads 2 furthermore making the easy packaging of the title semiconductor

device as well

as the multiplication of the terminals feasible.

COPYRIGHT: (C) 1994, JPO&Japio

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平6-97225

(43)公開日 平成6年(1994)4月8日

(51)Int.Cl.
H 01 L 21/60

識別記号 311 S 6918-4M

F I

技術表示箇所

審査請求 未請求 請求項の数1(全6頁)

(21)出願番号 特願平4-243742

(22)出願日 平成4年(1992)9月11日

(71)出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72)発明者 山地 泰弘

神奈川県川崎市幸区小向東芝町1番地 株式会社東芝総合研究所内

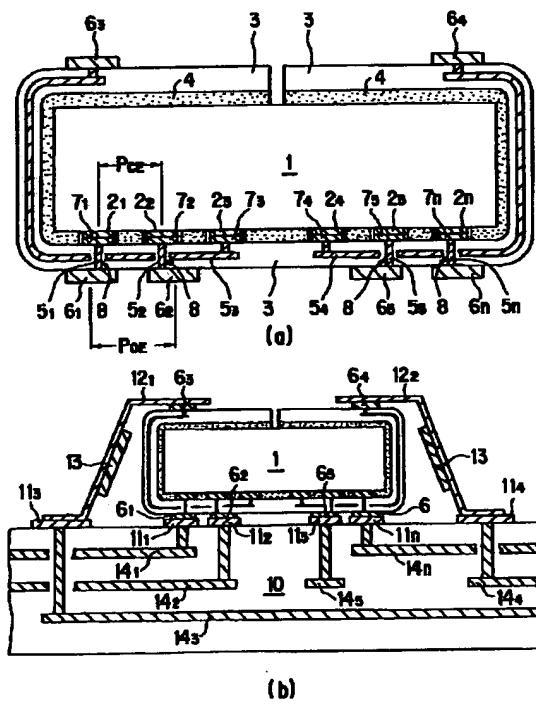
(74)代理人 弁理士 錦江 武彦

(54)【発明の名称】 半導体装置

(57)【要約】

【目的】 この発明は、実装が容易となる構造を持ち、かつ更なる多端子化をも推進できる半導体装置を提供しようとするものである。

【構成】 半導体チップ1の一つの表面上に設けられ、このチップ1内に設けられた半導体素子に接続されるチップ電極2と、チップ1の周囲を囲む絶縁性フィルム3と、この絶縁性フィルム3内に設けられ、チップ電極2に電気的に接続される配線層5と、チップ1の複数の表面上方に対応して絶縁性フィルム3の表面上に設けられ、配線層5に電気的に接続されてチップ1の外部端子として機能する端子電極6とを具備する。このような装置であると、端子電極6が、絶縁性フィルム3内に設けられた配線層5を介してチップ1の複数の表面上方に導出される。従って、端子電極6を、チップ1の複数の面を利用して配置でき、チップ電極2のピッチよりも、端子電極6のピッチを大きくでき、装置の実装が容易となる。端子電極6のピッチを大きくできるので、更なる多端子化を推進できる。



【特許請求の範囲】

【請求項1】 半導体チップと、
前記チップの一つの表面上に設けられ、このチップ内に形成された半導体素子に接続されるチップ電極と、
前記チップの周囲を包む絶縁性フィルムと、
前記絶縁性フィルム内に形成され、前記チップ電極に電気的に接続されるフィルム内配線層と、
前記チップの複数の表面上方に對応して前記絶縁性フィルムの表面上に配置され、前記フィルム内配線層に電気的に接続されて前記チップの外部端子として機能する外部電極とを具備することを特徴とする半導体装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 この発明は、半導体装置に係わり、特に多端子の半導体装置に関する。

【0002】

【従来の技術】 現在、半導体装置の高機能化に伴い、装置の多端子化が進んでいる。現在、最も多端子化を実現できる装置としては、フリップ・チップ接続法を用いた装置がある。

【0003】 図8は、フリップ・チップ接続法を用いた装置の概要を示す断面図である。

【0004】 図8に示すように、半導体チップ100の表面上には、チップ100内に設けられた図示せぬ半導体素子に接続されるバンプ電極101…101が形成されている。そして、バンプ電極101…101を、実装基板102上に設けられた配線103…103に、半田付け等により接続する。

【0005】

【発明が解決しようとする課題】 フリップ・チップ接続法を用いた装置はかなりの多端子化を可能にするが、実装基板102上の配線パターンのピッチP_Hを、チップ101上の電極パターンのピッチP_Bと同様に、狭ピッチにすることが要求される。また、ピッチP_H、ピッチP_Bがともに狭ピッチとなってくると、それらの実装(接続)に際し、高度な技術が必要となる。

【0006】 この発明は、上記の問題に鑑みて為されたもので、その目的は、実装が容易となる構造を持ち、かつ更なる多端子化をも推進できる半導体装置を提供することにある。

【0007】

【課題を解決するための手段】 この発明に係わる半導体装置は、半導体チップの一つの表面上に設けられ、このチップ内に設けられた半導体素子に接続されるチップ電極と、前記チップの周囲を包む絶縁性フィルムと、この絶縁性フィルム内に設けられ、前記チップ電極に電気的に接続される配線層と、前記チップの複数の表面上方に對応して前記絶縁性フィルムの表面上に設けられ、前記配線層に接続されて前記チップの外部端子として機能する端子電極と、を具備することを特徴としている。

【0008】

【作用】 上記のような半導体装置によれば、端子電極が、絶縁性フィルム内に設けられた配線層を介してチップの複数の表面上方に導出されるので、端子電極を、チップの複数の面を利用して配置することができる。従つて、チップ電極のピッチよりも、端子電極のピッチを大きくすることが可能となり、実装の容易化を達成できる。また、端子電極ピッチを大きくできるので、更なる多端子化を推進できる構造となる。

【0009】

【実施例】 以下、図面を参照してこの発明を実施例により説明する。この説明において、全図に渡り同一の部分には同一の参照符号を付し、重複する説明は避けることとする。

【0010】 図1はこの発明の第1の実施例に係わる半導体装置を示す図で、(a)は半導体装置の断面図、(b)は実装基板上に実装した時の断面図である。

【0011】 図1(a)に示すように、半導体チップ1の一つの表面上には、チップ1内に形成された図示せぬ半導体素子に接続されるチップ電極パッド2₁～2_nが形成されている。チップ1は、ポリイミド製のフレキシブルなテープ・キャリア・フィルム3により包まれている。フィルム3は、接着用樹脂(例えばエポキシ系樹脂接着剤)、あるいは粘着テープ等の絶縁性の接着部材4により、チップ1の表面に固定される。フィルム3内にはフィルム内配線5₁～5_nが形成されている。フィルム3の外側表面上には外部電極パッド6₁～6_nが形成されている。外部電極パッド6₁～6_nはおのおの、フィルム内配線5₁～5_nの一端に接続されている。フィルム内配線5₁～5_nの他端は、フィルム3の内側表面上に形成された接続電極パッド7₁～7_nに接続されている。接続電極パッド7₁～7_nはおのおの、チップ電極パッド2₁～2_nに電気的に接続される。これにより、外部電極パッド6₁～6_nは、フィルム内配線5₁～5_nを介してチップ電極パッド2₁～2_nに電気的に接続されるようになる。外部電極パッド6₁～6_nのうち、パッド6₁、6₂、6₅、6_nは、フィルム3内にスルーホール8…8を形成し、このスルーホール8…8内にフィルム内配線5₁、5₂、5₅、5_nを形成することにより、チップ1の下面上方に導出される。また、パッド6₃、6₄は、フィルム3を多層構造とし、これらの層間にフィルム内配線5₃、5₄を形成することにより、チップ1の上面上方に導出される。このように、外部電極パッド6₁～6_nがチップ1の上面および下面それぞれの上方に對応して配置された装置を、実装基板10の基板配線11₁～11_nに接続する時には、図1(b)に示すように、例えばフリップ・チップ接続法とテープ・キャリア接続法の2種の接続法を同時に用いる。即ち、チップ1の下面上方に配置された外部電極パッド6₁、6₂、6₅、6_nはそれぞれ、フリップ・チ

ップ接続法を用いて基板配線 11_1 、 11_2 、 11_5 、 11_n に接続し、チップ1の上面上方に配置された外部電極パッド 6_3 、 6_4 はそれぞれ、テープ・キャリア接続法を用いて基板配線 11_3 、 11_4 に接続する。図1 (b)において、参照符号 12_1 、 12_2 を付して示されるリードはTABリードである。また参照符号 13 はキャリア・テープを示している。このような実装を達成するために、予め、パッド 6_1 、 6_2 、 6_5 、 6_n をフリップ・チップ接続用の電極構造とし、パッド 6_3 、 6_4 をTAB接続用の電極構造としておく。また、テープ・キャリア接続法の代わりに、ワイヤ接続法を利用することも可能である。この場合には、パッド 6_3 、 6_4 はワイヤ接続用の電極構造とされる。また、この発明に係わる装置はかなりの多端子化を実現できるため、実装基板10には、高密度で基板配線を配置することが可能な多層構造のものを用いることが望ましい。図1 (b)においては、実装基板10内に形成される実装基板内配線 14_1 ～ 14_n を3層構造とした実装基板10が示されている。

【0012】次に、図1に示される装置の製造方法について説明する。

【0013】図2はこの発明の第1の実施例に係わる半導体装置の製造方法を示す図で、(a)～(c)はそれぞれ、図1に示す装置を主要な工程毎に示した断面図、(d)は(c)の工程における装置を概略的に示した斜視図である。

【0014】まず、図2 (a)に示すように、例えば半田付法等を用いて、バンプ電極構造とされているチップ電極パッド 2_1 ～ 2_n を、接続電極パッド 7_1 ～ 7_n に電気的に接続する。この接続は、テープ・キャリア・フィルム3を平坦な状態のまま行う。

【0015】次に、図2 (b)～(d)に示すように、フィルム3を、チップ1の側面に沿って折り曲げていく。この時、フィルム3のチップ1側の表面には接着部材4が塗布されているので、フィルム3を折り曲げることによって、チップ1とフィルム3とが互に固着される。尚、接着部材4はフィルム3ではなく、チップ1の表面に塗布されても良い。最後に、フィルム3をチップ1の上面に沿って折り曲げて、フィルム3をチップ1の上面に固着させることにより、図1に示すような装置が完成する。

【0016】次に、図1、図2に示されるテープ・キャリア・フィルム3の製造方法について説明する。

【0017】図3はフィルム・キャリア・テープの製造方法を示す図で、(a)～(e)はそれぞれ、テープ・キャリア・フィルム3を製造工程毎に示した斜視図、(f)は(e)の工程におけるバンプ電極を概略的に示した断面図である。

【0018】まず、図3 (a)に示すように、ポリイミド等の絶縁フィルム(テープ)状の部材20を準備す

る。次いで、フィルム状部材20の表面および裏面それにエポキシ系の樹脂接着剤を塗布する。

【0019】次に、図3 (b)に示すように、銅箔 21_1 、 21_2 をそれぞれ、フィルム状部材20の表面および裏面に接着する。

【0020】次に、図3 (c)に示すように、銅箔 21_1 をエッティングによりバーニングしてフィルム内配線 5_1 ～ 5_n となるパターン22を形成する。また、裏面においては銅箔 21_2 をエッティングによりバーニングすることにより、パッド 6_1 ～ 6_n となるパターンを形成する。

【0021】次に、図3 (d)に示すように、第2のフィルム状部材23を、フィルム状部材20に接着する。

【0022】次に、図3 (e)に示すように、スルーホール等を形成した後、チップへの接続電極パッド 7_1 ～ 7_n となるバンプ電極24を形成する。図3 (f)はバンプ電極24の断面図であり、図3 (f)に示すように、バンプ電極24は、フィルム状部材23上に形成された銅箔パターン26と、この銅箔パターン26上に形成された金属メッキ部25とで成る。金属メッキ部25は、例えば半田、金等の材料を使って形成される。

【0023】以上のような製法により、テープ・キャリア・フィルム3は作製される。

【0024】図4は、この発明の第2の実施例に係わる半導体装置の断面図である。

【0025】図4に示すように、外部電極パッド 6_1 ～ 6_n は、チップ1の側面上方に配置されている。

【0026】このように外部電極パッド 6_1 ～ 6_n をチップ1の側面上方に配することによって、半導体装置を実装基板上へ直立して実装することが可能となり、装置の実装密度を向上させることができる。

【0027】図5は、この発明の第3の実施例に係わる半導体装置の断面図である。

【0028】図5に示すように、実装基板10上に実装された半導体装置の表面全体(または一部でも良い)には、封止用の樹脂30が塗布されている。

【0029】このように半導体装置の表面全体、またはその一部上を封止用の樹脂30を用いて被覆することによって、実装後における半導体装置の電気的接続の信頼性、および耐湿性等を、さらに向上させることができること。

【0030】図6は、この発明の第4の実施例に係わる半導体装置を示す図で、(a)は平面図、(b)は(a)図中のb-b線に沿う断面図である。

【0031】図6 (a)～(b)に示すように、テープ・キャリア・フィルム3には複数のチップ 1_1 ～ 1_4 が包まれている。外部電極パッド 6_1 ～ 6_n は、チップ 1_1 ～ 1_4 に電気的に接続され、マルチチップ・モジュールが構成されている。

50 【0032】このように複数のチップ 1_1 ～ 1_4 をフィ

ルム3で包み込むことによって、マルチチップ型の半導体装置を構成することも可能であり、実装密度の向上、半導体装置の高機能化等を達成することができる。

【0033】図7は、この発明の第5の実施例に係わる半導体装置の断面図である。

【0034】図7に示すように、第1のフィルム3aに包まれた第1のチップ1a、第2のフィルム3bに包まれた第2のチップ1b、…、第4のフィルム3dに包まれた第4のチップ1dが順次、実装基板10上に積み重ねられている。第1のチップ1aの下方に設けられた外

部電極パッド6a₁、6a₂、6a₅、および6₁₀はそれぞれ、基板配線11a₁、11a₂、11a₅、および11₁₀に電気的に接続されている。第1のチップ1aの上方に設けられた外部電極パッド6a₃、6a₄はそれぞれ、第2のチップ1bの下方に設けられた外部電極パッド6b₃、6b₄に電気的に接続され、第2のチップ1bの上方に設けられた外部電極パッド6b₁、6b₂はそれぞれ、第3のチップ1cの下方に設けられた外部電極パッド6c₃、6c₄に電気的に接続され、…、第4のチップ1dの下方に設けられた外部電極パッド6d₃、6d₄に電気的に接続されている。第4のチップの上方に設けられた外部電極パッド6d₁、6d₂は、TABリード12₁、12₂を介して基板配線11₃、11₄に接続されている。

【0035】このように複数のチップ1a～1dを順次、実装基板10上に積み重ねることによって、マルチチップ型の半導体装置を構成することも可能である。また、この第5の実施例において、最上層のチップ1dを、基板配線11に電気的に接続することは必ずしも必要でない。この場合には、例えば最下層のチップ1aを基板配線11に電気的に接続することによって、チップ1a～1d各々と基板配線11との電気的な接続を実現すれば良い。

【0036】上記実施例に係わる半導体装置よれば、半導体チップの一つの面に限定されていた電極(パッド)を、フィルム内配線を用いて半導体チップの複数の面に再配列している。このため、図1に示すように半導体チップの電極ピッチPCEよりも、外部電極ピッチPOEを大きくすることが可能となり、実装の容易化を達成できる。また、外部電極ピッチPOEを大きくできることから、更なる半導体装置の多端子化を推進できる。

【0037】また、フリップ・チップ接続法やTAB接続法を用いた従来の半導体装置では、ペア・チップ実装であった点が、上記実施例ではチップがフィルム3により被覆されることから、耐湿性等が向上する、という利点も得ることができる。

【0038】以上、この発明を実施例により説明したが、この発明は上記実施例に限られるものではなく、種

々の変形が可能である。

【0039】例えば上記実施例では、フィルム3を半導体チップの2辺から折りたたむ形式をとっていたが、1辺、3辺、あるいは4辺から折りたたむ形式をとっても良い。

【0040】また、フィルム3についても、上記実施例で説明した製法によって作製されたフィルム3に限られて用いられる訳ではなく、様々な製造方法によって作製されフィルム3を用いることができることは言うまでもない。

【0041】

【発明の効果】以上説明したように、この発明によれば、実装が容易となる構造を持ち、かつ更なる多端子化をも推進できる半導体装置を提供できる。

【図面の簡単な説明】

【図1】図1はこの発明の第1の実施例に係わる半導体装置を示す図で、(a)は半導体装置の断面図、(b)は実装基板上に実装した時の断面図。

【図2】図2はこの発明の第1の実施例に係わる半導体装置の製造方法を示す図で、(a)～(c)はそれぞれ、図1に示す装置を主要な工程毎に示した断面図、(d)は(c)の工程における装置を概略的に示した斜視図。

【図3】図3はフィルム・キャリア・テープの製造方法を示す図で、(a)～(e)はそれぞれ、テープ・キャリア・フィルム3を製造工程毎に示した斜視図、(f)は(e)の工程におけるパンプ電極を概略的に示した断面図。

【図4】図4はこの発明の第2の実施例に係わる半導体装置の断面図。

【図5】図5はこの発明の第3の実施例に係わる半導体装置の断面図。

【図6】図6はこの発明の第4の実施例に係わる半導体装置を示す図で、(a)は平面図、(b)は(a)図中のb-b線に沿う断面図。

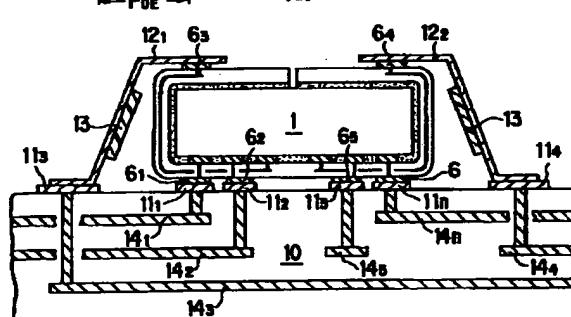
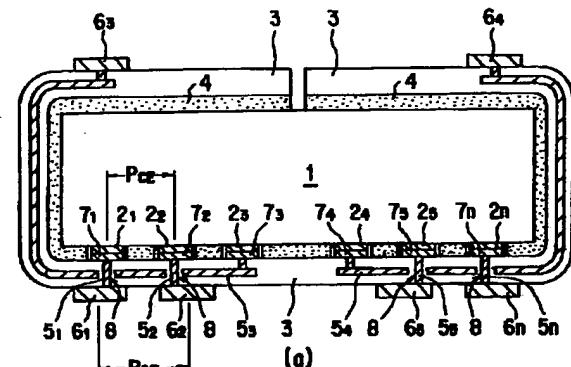
【図7】図7はこの発明の第5の実施例に係わる半導体装置の断面図。

【図8】図8は従来の半導体装置の断面図。

【符号の説明】

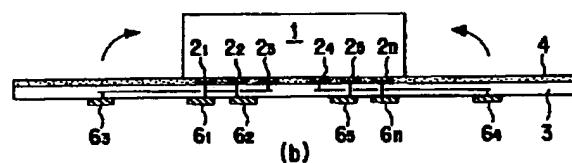
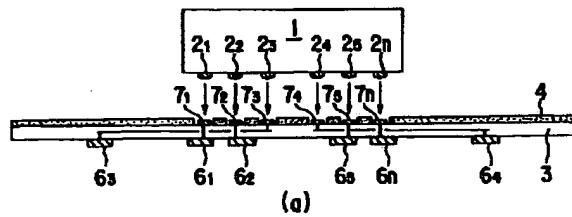
1, 1₁～1₄, 1a～1d…半導体チップ、2₁～2₁₀…チップ電極パッド、3, 3a～3d…テープ・キャリア・フィルム、4…接着部材、5₁～5₁₀…チップ内配線、6₁～6₁₀…外部電極パッド、7₁～7₁₀…接続電極パッド、8…スルーホール、10…実装基板、11₁～11₁₀…基板配線、12₁、12₂…TABリード、13…フィルム・キャリア、14₁～14₁₀…実装基板内配線。

【図1】

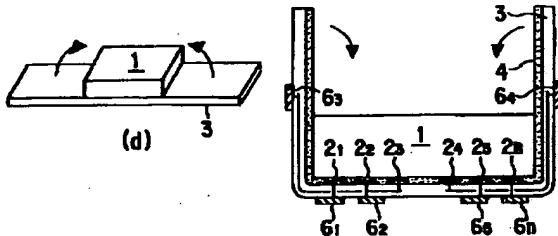


(b)

【図2】

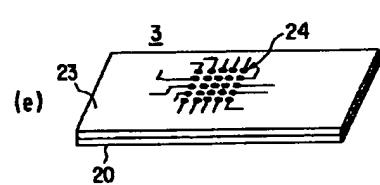
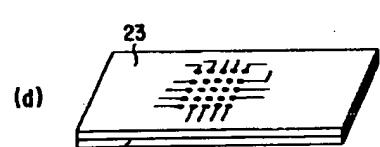
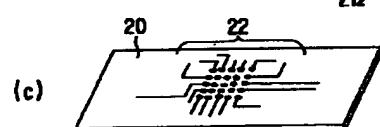
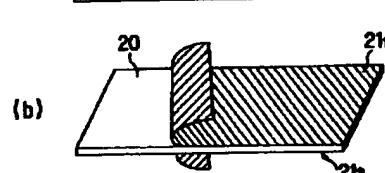


(b)

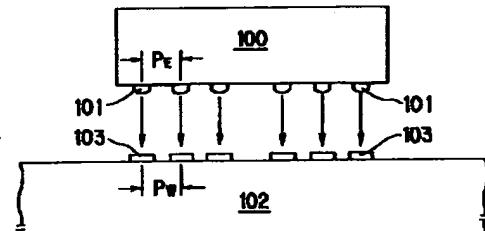
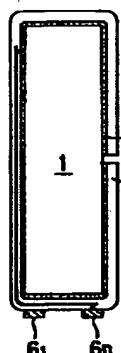


(c)

【図3】

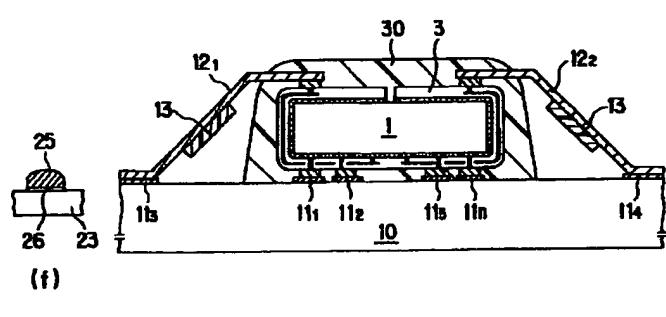


【図4】

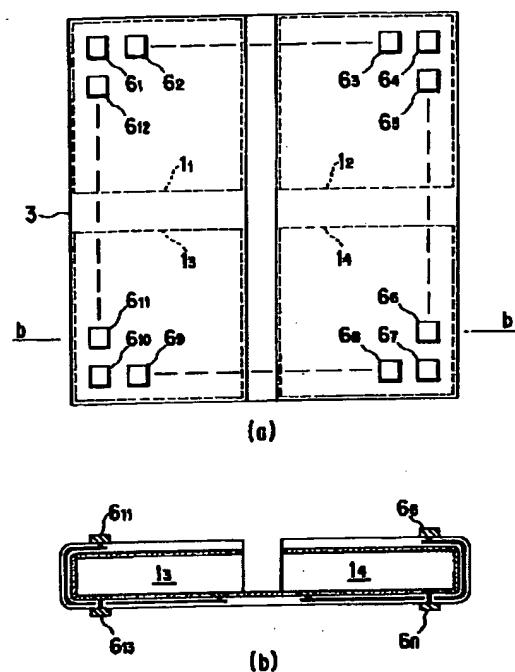


【図8】

【図5】



【図6】



【図7】

